



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0037462  
Application Number

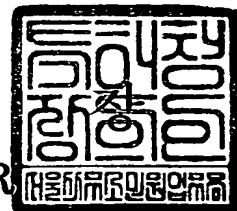
출원년월일 : 2003년 06월 11일  
Date of Application JUN 11, 2003

출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003년 11월 06일

특허청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2003.06.11
【국제특허분류】	H04L
【발명의 명칭】	송수신 흐름에 따라 공유 버퍼 메모리의 할당량을 제어하는 송수신 네트워크 제어기 및 그 방법
【발명의 영문명칭】	Transceiving network controller providing for common buffer memory allocating corresponding to transceiving flows and method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	신종훈
【성명의 영문표기】	SHIN, Jong Hoon
【주민등록번호】	720224-1090511
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 1000-10번지 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	이명진
【성명의 영문표기】	LEE, Myeong Jin
【주민등록번호】	730724-1528814

【우편번호】	430-010		
【주소】	경기도 안양시 만안구 안양동 90-1 삼성래미안아파트 104동 2402호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	이민정		
【성명의 영문표기】	LEE, Min Joung		
【주민등록번호】	780618-2101813		
【우편번호】	440-600		
【주소】	경기도 수원시 장안구 수원우체국사서함 125호 예지당 16동 1019호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	3	면	3,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	12	항	493,000 원
【합계】	525,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

송수신 흐름에 따라 공유 버퍼 메모리의 할당량을 제어하는 송수신 네트워크 제어기 및 그 방법이 개시된다. 상기 송수신 네트워크 제어기는, 송수신에 공통되고 송수신 흐름에 따라 할당량이 유동적으로 제어되는 공유 버퍼 메모리를 제어하여, 시스템과 다른 매체간 데이터 통신을 중재한다. 따라서, 버퍼 메모리가 효율적으로 사용될 수 있고, 데이터 통신 상에서 발생하는 오버플로우나 언더플로우의 발생을 줄일 수 있으며, 이에 따라 최적화된 시스템이 구축될 수 있는 효과가 있다.

**【대표도】**

도 2

### 【명세서】

#### 【발명의 명칭】

송수신 흐름에 따라 공유 버퍼 메모리의 할당량을 제어하는 송수신 네트워크 제어기 및 그 방법{Transceiving network controller providing for common buffer memory allocating corresponding to transceiving flows and method thereof}

#### 【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 송수신 네트워크 제어기의 블록도이다.

도 2는 본 발명의 일실시예에 따른 송수신 네트워크 제어기의 블록도이다.

도 3은 도 2의 흐름 제어부의 FSM 도면이다.

도 4는 도 3의 송수신 흐름에 따른 공유 메모리의 할당 상태를 설명하기 위한 도면이다.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<6> 본 발명은 데이터 통신 장치에 관한 것으로, 특히 데이터 통신 장치의 송수신 경로를 제어하는 송수신 네트워크(network) 제어기 및 그 방법에 관한 것이다.

<7> 이더넷(ethernet), USB(Universal Serial Bus), DMA(Direct Memory Access), ATM-SAR(Asynchronous Transfer Mode - Segmentation and Reassembly sublayer) 등과 같은 데이터 통신 장치들은, 컴퓨터, 이동 통신 단말기 등과 같은 시스템의 일부로서, 시스템에 연결

되어 있는 내부 또는 외부의 다른 매체(media)와의 데이터 통신을 중재한다. 그런데, 시스템과 다른 매체간의 데이터 통신에 있어서는, 상호간의 데이터 처리 속도의 불균형이나 시스템 내의 중재(arbitration)의 문제로부터, 메모리에서의 데이터 오버플로우(overflow)나 데이터 언더플로우(underflow)가 발생하므로, 데이터 통신 장치들에서 일반적으로 데이터 송수신 흐름을 제어하는 소정 네트워크 제어기에 의하여 이러한 문제가 해결된다. 즉, 데이터 통신 장치들에서의 소정 네트워크 제어기에 구비되는 버퍼 메모리, FIFO(Fist In First Out) 메모리에 의하여, 데이터 오버플로우나 데이터 언더플로우의 문제가 해결된다. 또한, 범용 DMA나, 네트워크 제어기에 구비되고 시스템 내의 CPU(control processing unit) 또는 MCU(micro control unit)의 부담을 덜어주면서 인터페이스를 중재하기 위한 전용 DMA에 의하여 위와 같은 문제가 해결되기도 한다. 이때, 이러한 데이터 통신 장치들에서의 네트워크 제어기는, 일반적으로 서로 독립되어 있는 송신용 메모리와 수신용 메모리를 가지고 있고, 이러한 메모리들을 통하여 서로 독립된 송수신 경로 상에서 송수신 데이터의 흐름을 관리한다.

- <8>      도 1은 종래의 송수신 네트워크 제어기의 블록도이다.
- <9>      도 1을 참조하면, 종래의 송수신 네트워크 제어기는 서로 독립되어 있는 송신용 메모리(110)와 수신용 메모리(130)를 가지고 있고, 각각의 메모리를 제어하는 송신 제어부(120) 및 수신 제어부(140)에 의하여 서로 독립된 송수신 경로 상에서 송수신 데이터의 흐름을 관리한다.
  - . 컴퓨터, 이동 통신 단말기 등과 같은 시스템에

서 이와 같은 네트워크 제어기는, 시스템 내의 MCU(micro control unit)와 같은 상위층과 물리층(physical layer)과 같은 하위층 사이에서, 데이터의 송수신 흐름을 관리하는 MAC(Media Access Control)층에 해당한다. 즉, 도 1의 송신 제어부(120)는 시스템 버스(SYSBUS)에서 송신 데이터(SYSTD)를 받아 송신 메모리(110)를 통해 데이터 흐름을 관리하여 물리층으로 데이터(PHYTD)를 송신한다. 또한, 도 1의 수신 제어부(140)는 물리층에서 수신 데이터(PHYRD)를 받아 수신 메모리(130)를 통해 데이터 흐름을 관리하여 시스템 버스(SYSBUS)로 데이터(SYSRD)를 송신한다. 데이터 흐름의 관리는 일반적으로 반이중(Half-duplex) 방식 혹은 전이중(Full-duplex) 방식으로 구현된다.

<10>      도 1과 같은 종래의 송수신 네트워크 제어기에 구비되는 송신용 메모리(110)와 수신용 메모리(130)는, MAC용 FIFO 형태, 또는 전용 DMA를 구비하는 경우에는 DMA용 버퍼 형태이다. 이와 같은 메모리에 의하여, 시스템과 다른 매체간 데이터 통신 상에서 발생될 수 있는 데이터의 손실이 방지되고, 임시 저장이 용이하여, 데이터 송수신 처리가 안정적으로 보장된다.

<11>      그러나, 전이중 방식이나 반이중 방식에 상관없이, 데이터 통신은 일반적으로 ADSL(Asymmetric Digital Subscriber Line)의 경우와 같이 비대칭적(Asymmetric)으로 수행된다. 즉, 데이터 통신 장치들이 전이중 방식을 지원하고 있는 경우에도, 어느 한 특정 시간에서는 데이터 송신과 데이터 수신이 동시에 수행되지 않고, 데이터 송신과 데이터 수신 중 어느 한쪽만이 수행된다. 따라서, 종래의 송수신 네트워크 제어기에 구비되는 메모리 형태인 버퍼나 FIFO는, 하

드웨어적으로 송신용과 수신용으로 분리 되어있으므로, 데이터 송신과 데이터 수신 중 어느 한 쪽만이 수행될 때, 사용되지 않는 메모리의 발생으로 인해 하드웨어의 사용 효율을 떨어뜨리는 문제점이 있다. 또한, 분리된 송수신 메모리는 오버플로우나 언더플로우를 일으킬 가능성이 상대적으로 크며, 이를 해결하기 위해서는 시스템의 오버헤드(Overhead)가 커질 수밖에 없다는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<12> 따라서, 본 발명이 이루고자하는 기술적 과제는, 송수신에 공통되고 송수신 흐름에 따라 할당량이 유동적으로 제어되는 공유 버퍼 메모리를 제어하여, 시스템과 다른 매체간 데이터 통신을 중재하는 송수신 네트워크 제어기를 제공하는데 있다.

<13> 본 발명이 이루고자하는 다른 기술적 과제는, 송수신에 공통되고 송수신 흐름에 따라 할당량이 유동적으로 제어되는 공유 버퍼 메모리를 제어하여, 시스템과 다른 매체간 데이터 통신을 중재하는 송수신 네트워크 제어 방법을 제공하는데 있다.

#### 【발명의 구성 및 작용】

<14> 상기의 기술적 과제를 달성하기 위한 본 발명에 따른 송수신 네트워크 제어기는, 시스템 버스, 공유 메모리, 흐름 제어부, 송신 제어부, 및 수신 제어부를 구비한다.

<15> 상기 공유 메모리는 송신 데이터량 및 수신 데이터량 각각에 따라 할당량이 유동적인 송신 저장소와 수신 저장소를 구비하고, 송신 어드레스 신호들에 의한 송신 데이터의 저장과 출력을 수행하며, 수신 어드레스 신호들에 의한 수신 데이터의 저장과 출력을 수행한다.

<16> 상기 흐름 제어부는 송신 수행 신호가 액티브될 때 상기 송신 저장소의 할당량을 증가시키고, 수신 수행 신호가 액티브될 때 상기 수신 저장소의 할당량을 증가시키는 임계치 제어 신호를 생성하여 출력한다.

<17> 상기 송신 제어부는 상기 임계치 제어 신호에 의하여 최대 번지수가 유동적으로 바뀌는 상기 송신 어드레스 신호들을 발생시키고, 상기 시스템 버스로부터 상기 송신 데이터를 수신하여 상기 송신 어드레스 신호들 중 송신 라이트 어드레스 신호들과 함께 출력하며, 상기 송신 어드레스 신호들 중 송신 리드 어드레스 신호들에 의하여 상기 공유 메모리에서 출력되는 송신 데이터를 다른 하위층으로 출력하고, 상기 송신 데이터의 수신 시마다 상기 송신 수행 신호를 액티브 상태로 출력한다.

<18> 상기 수신 제어부는 상기 임계치 제어 신호에 의하여 최대 번지수가 유동적으로 바뀌는 상기 수신 어드레스 신호들을 발생시키고, 상기 다른 하위층으로부터 상기 수신 데이터를 수신하여 상기 수신 어드레스 신호들 중 수신 라이트 어드레스 신호들과 함께 출력하며, 상기 수신 어드레스 신호들 중 수신 리드 어드레스 신호들에 의하여 상기 공유 메모리에서 출력되는 수신 데이터를 상기 시스템 버스로 출력하고, 상기 수신 데이터의 수신 시마다 상기 수신 수행 신호를 액티브 상태로 출력한다.

<19> 상기 흐름 제어부는, 상기 송신 수행 신호 및 상기 수신 수행 신호가 동시에 액티브 될 때에는, 상기 송신 저장소의 할당량 및 상기 수신 저장소의 할당량을 모두 홀드시키는 상기 임계치 제어 신호를 발생시키는 것을 특징으로 한다. 그리고, 상기 흐름 제어부는, 초기에 상기 송신 저장소의 할당량 및 상기 수신 저장소의 할당량을 동일하게 하는 상기 임계치 제어 신호를 발생시키는 것을 특징으로 한다. 또한, 상기 흐름 제어부는, 사용자의 설정에 의하여 소정

임계치로 상기 송신 저장소의 할당량 및 상기 수신 저장소의 할당량을 홀드시키는 상기 임계치 제어 신호를 발생시킬 수 있는 것을 특징으로 한다.

<20> 상기 송신 데이터 및 상기 수신 데이터는, 전이중 방식 또는 반이중 방식으로 전송되는 데이터들인 것을 특징으로 한다.

<21> 상기의 다른 기술적 과제를 달성하기 위한 본 발명에 따른 송수신 네트워크 제어 방법은, 다음과 같은 단계를 구비한다.

<22> 즉, 본 발명에 따른 송수신 네트워크 제어 방법은, 송신 데이터량 및 수신 데이터량 각각에 따라 할당량이 유동적인 송신 저장소와 수신 저장소로 구성되는 공유 메모를 구비하는 송수신 네트워크에서, 상기 공유 메모리에서 송신 어드레스 신호들에 의한 송신 데이터의 저장과 출력을 수행하며, 수신 어드레스 신호들에 의한 수신 데이터의 저장과 출력을 수행하는 메모리 입출력 단계; 송신 수행 신호가 액티브될 때 상기 송신 저장소의 할당량을 증가시키고, 수신 수행 신호가 액티브될 때 상기 수신 저장소의 할당량을 증가시키는 임계치 제어 신호를 생성하여 출력하는 흐름 제어 단계; 상기 임계치 제어 신호에 의하여 최대 번지수가 유동적으로 바뀌는 상기 송신 어드레스 신호들을 발생시키고, 상기 시스템 버스로부터 상기 송신 데이터를 수신하여 상기 송신 어드레스 신호들 중 송신 라이트 어드레스 신호들과 함께 출력하며, 상기 송신 어드레스 신호들 중 송신 리드 어드레스 신호들에 의하여 상기 공유 메모리에서 출력되는 송신 데이터를 다른 하위층으로 출력하고, 상기 송신 데이터의 수신 시마다 상기 송신 수행 신호를 액티브 상태로 출력하는 송신 제어 단계; 및 상기 임계치 제어 신호에 의하여 최대 번지수가 유동적으로 바뀌는 상기 수신 어드레스 신호들을 발생시키고, 상기 다른 하위층으로부터 상기 수신 데이터를 수신하여 상기 수신 어드레스 신호들 중 수신 라이트 어드레스 신호들과 함께 출력하며, 상기 수신 어드레스 신호들 중 수신 리드 어드레스 신호들에 의하여 상기

공유 메모리에서 출력되는 수신 데이터를 상기 시스템 버스로 출력하고, 상기 수신 데이터의 수신 시마다 상기 수신 수행 신호를 액티브 상태로 출력하는 수신 제어 단계를 구비한다.

<23> 상기 흐름 제어 단계는, 상기 송신 수행 신호 및 상기 수신 수행 신호가 동시에 액티브 될 때에는, 상기 송신 저장소의 할당량 및 상기 수신 저장소의 할당량을 모두 홀드시키는 상기 임계치 제어 신호를 발생시키는 것을 특징으로 한다. 그리고, 상기 흐름 제어 단계는, 초기에 상기 송신 저장소의 할당량 및 상기 수신 저장소의 할당량을 동일하게 하는 상기 임계치 제어 신호를 발생시키는 것을 특징으로 한다. 또한, 상기 흐름 제어 단계는, 사용자의 설정에 의하여 소정 임계치로 상기 송신 저장소의 할당량 및 상기 수신 저장소의 할당량을 홀드시키는 상기 임계치 제어 신호를 발생시킬 수 있는 것을 특징으로 한다.

<24> 상기 송신 데이터 및 상기 수신 데이터는, 전이중 방식 또는 반이중 방식으로 전송되는 데이터들인 것을 특징으로 한다.

<25> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<26> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<27> 도 2는 본 발명의 일실시예에 따른 송수신 네트워크 제어기의 블록도이다.

<28> 도 2를 참조하면, 본 발명의 일실시예에 따른 송수신 네트워크 제어기는 시스템 버스 (SYSBUS), 공유 메모리(210), 흐름 제어부(flow control unit)(220), 송신 제어부(230), 및 수신 제어부(240)를 구비한다.

<29> 상기 공유 메모리(210)는 송신 데이터량 및 수신 데이터량 각각에 따라 할당량이 유동적인 송신 저장소와 수신 저장소를 구비하고, 송신 어드레스 신호들(TWEN, TWAD, TREN, TRAD)에 의한 송신 데이터의 저장과 출력을 수행하며, 수신 어드레스 신호들(RWEN, RWAD, RRREN, RRAD)에 의한 수신 데이터의 저장과 출력을 수행한다. 여기서, 송신 데이터 및 수신 데이터는, 전이 중 방식 또는 반이중 방식으로 전송되는 데이터들이다. 전이중 방식은 송수신이 같은 시간에 이루어질 수 있는 방식이고, 반이중 방식은 송수신이 동시에 가능한 네트워크 구조에서 어느 때든지 송신과 수신 중 어느 한 가지만 이루어지는 방식이다.

<30> 도 2에서, 송신 데이터는 3가지로 분류된다. 즉, 시스템 버스(SYSBUS)로부터 수신되는 데이터는 SYSTD이고, 공유 메모리(210)에 임시 저장되기 위하여 송신 제어부(230)에서 공유 메모리(210)로 라이트(write)되는 데이터는 TWDT이며, 물리층과 같은 다른 하위층으로 최종 송신되기 위하여 공유 메모리(210)에서 송신 제어부(230)로 리드(read)되는 데이터는 TRDT이다. TWEN, TWAD 각각은 송신 라이트 인에이블 신호 및 송신 라이트 어드레스 신호들이고, TREN, TRAD 각각은 송신 리드 인에이블 신호 및 송신 리드 어드레스 신호들이다. TWEN, TWAD, TREN, TRAD 각각은 다수의 디지털 비트 데이터로 이루어진다.

<31> 마찬가지로, 도 2에서, 수신 데이터는 3가지로 분류된다. 즉, 물리층과 같은 다른 하위 층으로부터 수신되는 데이터는 PHYRD이고, 공유 메모리(210)에 임시 저장되기 위하여 수신 제어부(240)에서 공유 메모리(210)로 라이트(write)되는 데이터는 RWDT이며, 시스템 버스(SYSBUS)로 최종 수신되기 위하여 공유 메모리(210)에서 수신 제어부(240)로 리드(read)되는 데이터는 RRDT이다. RWEN, RWAD 각각은 수신 라이트 인에이블 신호 및 수신 라이트 어드레스 신호들이고, RRREN, RRAD 각각은 수신 리드 인에이블 신호 및 수신 리드 어드레스 신호들이다. RWEN, RWAD, RRREN, RRAD 및 RRAD 각각은 다수의 디지털 비트 데이터로 이루어진다.

<32> 상기 흐름 제어부(220)는 송신 수행(transmission execution) 신호(TXEX)가 액티브될 때 상기 송신 저장소의 할당량을 증가시키고, 수신 수행(reception execution) 신호(RXEX)가 액티브될 때 상기 수신 저장소의 할당량을 증가시키는 임계치 제어 신호(THS)를 생성하여 출력한다. 즉, 상기 흐름 제어부(220)는, 임계치 제어 신호(THS)를 송신 제어부(230)와 수신 제어부(240)에 출력하여, 상기 공유 메모리(210)에서의 상기 송신 저장소의 할당량 및 상기 수신 저장소의 할당량에 대한 임계치를 제어할 수 있다.

<33> 상기 송신 제어부(230)는 상기 임계치 제어 신호(THS)에 의하여 최대 번지수가 유동적으로 바뀌는 상기 송신 어드레스 신호들(TWEN, TWAD, TREN, TRAD)을 발생시키고, 상기 시스템 버스(SYSBUS)로부터 상기 송신 데이터(SYSDT)를 수신하여 상기 송신 어드레스 신호들(TWEN, TWAD, TREN, TRAD) 중 송신 라이트 어드레스 신호들(TWAD)과 함께 출력하며, 상기 송신 어드레스 신호들(TWEN, TWAD, TREN, TRAD) 중 송신 리드 어드레스 신호들(TRAD)에 의하여 상기 공유 메모리(210)에서 출력되는 송신 데이터(TRDT)를 다른 하위층으로 출력하고, 상기 송신 데이터(SYSDT)의 수신 시마다 상기 송신 수행 신호(TXEX)를 액티브 상태로 출력한다. 예를 들어, 상기 송신 수행 신호(TXEX)는 디지털 신호로서 논리 하이 상태, 또는 논리 로우 상태로 출력되고, 상기 송신 데이터(SYSDT)의 수신이 발생하면, 논리 로우 상태에서 논리 하이 상태로 액티브된다. 상기 송신 제어부(230)에서 물리층과 같은 다른 하위층으로 출력되는 데이터(PHYTD)는 MAC 프로토콜에 따른 패킷 데이터일 수도 있다.

<34> 상기 수신 제어부(240)는 상기 임계치 제어 신호(THS)에 의하여 최대 번지수가 유동적으로 바뀌는 상기 수신 어드레스 신호들(RWEN, RWAD, RREN, RRAD)을 발생시키고, 상기 다른 하위층으로부터 상기 수신 데이터(PHYRD)를 수신하여 상기 수신 어드레스 신호들(RWEN, RWAD, RREN, RRAD) 중 수신 라이트 어드레스 신호들과 함께 출력하며, 상기 수신 어드레스 신호들

(RWEN, RWAD, RREN, RRAD) 중 수신 리드 어드레스 신호들에 의하여 상기 공유 메모리(210)에서 출력되는 수신 데이터(RRDT)를 상기 시스템 버스(SYSBUS)로 출력하고, 상기 수신 데이터의 수신 시마다 상기 수신 수행 신호(RXEX)를 액티브 상태로 출력한다. 예를 들어, 상기 수신 수행 신호(RXEX)는 디지털 신호로서 논리 하이 상태, 또는 논리 로우 상태로 출력되고, 상기 수신 데이터(PHYRD)의 수신이 발생하면, 논리 로우 상태에서 논리 하이 상태로 액티브된다. 상기 수신 제어부(240)에서 출력된 데이터(SYSRD)는, 시스템 버스(SYSBUS)를 통하여 MCU 또는 CPU와 같은 다른 상위층으로 전달되며, 이러한 데이터(SYSRD)는 물리층과 같은 다른 하위층에서 수신된 데이터(PHYRD)가 MAC 프로토콜에 따른 패킷 데이터인 경우에, 이를 다시 패킷전의 원래의 데이터로 복원한 데이터 일 수 있다.

<35> 이하, 도 1의 흐름 제어부(220)의 동작을 좀더 상세하게 설명한다.

<36> 도 3은 도 2의 흐름 제어부(220)의 FSM(finite state machine) 도면이다.

<37> 도 3을 참조하면, 도 2의 상기 흐름 제어부(220)는 송수신 데이터량에 따라, 상태들 N, TX1, TX2, RX1, RX2 사이를 변동시켜서, 송신 저장소의 할당량 및 수신 저장소의 할당량을 나타내는 임계치(도 4의 점선들)가 변하도록 임계치 제어 신호(THS)를 발생시킨다. 즉, 상기 흐름 제어부(220)는 송신 수행 신호(TXEX)와 수신 수행 신호(RXEX)의 액티브 상태를 파악하여, 도 3의 상태들 N, TX1, TX2, RX1, RX2에 유지하거나 상기 상태들 사이에서 전이하도록 임계치 제어 신호(THS)를 발생시킨다.

<38> 예를 들어, 파워 온(on)이 되는 때인 초기에, 상기 흐름 제어부(220)는 도 2의 설명에서 기술된 송신 저장소의 할당량 및 수신 저장소의 할당량을 동일하게 하

는 상기 임계치 제어 신호(THS)를 발생시킨다. 이때의 상기 임계치 제어 신호(THS)는 리셋(reset)을 지시하는 신호로서, 도 3에서 중립 상태 N에 해당하고, 공유 메모리(210)에서의 임계치는 도 4의 STATE N이 가리키는 부분에 해당한다.

<39> 송신 수행 신호(TXEX)가 액티브될 때에는, 상기 흐름 제어부(220)는 상기 송신 저장소의 할당량을 증가시키는 임계치 제어 신호(THS)를 생성하여 출력한다. 이때의 상기 임계치 제어 신호(THS)는 송신 제어부(230)에 송신 저장소의 할당량의 증가를 지시하는 신호로서, 도 3에서 이전 상태가 중립 상태 N에 있었다면 상태 TX1로의 전이를 지시하고, 이와 같이 전이된 때의 공유 메모리(210)에서의 임계치는 도 4의 STATE TX1이 가리키는 부분에 해당한다. 도 4의 STATE TX1 부분이 임계치로 되면, 이 부분에 대응되는 공유 메모리(210)의 어드레스는 송신용으로 사용될 최대 어드레스가 되고, 이에 따라 수신용으로 사용될 최소 어드레스(RX BASE ADDRESS)로부터의 길이보다 송신용으로 사용될 최소 어드레스(TX BASE ADDRESS)로부터의 길이가 더 크다. 이와 같이 상기 송신 저장소의 할당량을 증가시키는 임계치 제어 신호(THS)가 발생하면, 도 3에서 이전 RX2에서 RX1로의 전이, 이전 RX1에서 N으로의 전이, 이전 N에서 TX1로의 전이, 및 이전 TX1에서 TX2로의 전이 각각이 발생할 것이다.

<40> 수신 수행 신호(RXEX)가 액티브될 때에는, 상기 흐름 제어부(220)는 상기 수신 저장소의 할당량을 증가시키는 임계치 제어 신호(THS)를 생성하여 출력한다. 이때의 상기 임계치 제어 신호(THS)는 수신 제어부(240)에 수신 저장소의 할당량의 증가를 지시하는 신호로서, 도 3에서 이전 상태가 중립 상태 N에 있었다면 상태 RX1로의 전이를 지시하고, 이와 같이 전이된 때의 공유 메모리(210)에서의 임계치는 도 4의 STATE RX1이 가리키는 부분에 해당한다. 도 4의 STATE RX1 부분이 임계치로 되면, 이 부분에 대응되는 공유 메모리(210)의 어드레스는 수신용으로 사용될 최대 어드레스가 되고, 이에 따라 송신용으로 사용될 최소 어드레스(TX BASE

ADDRESS)로부터의 길이보다 수신용으로 사용될 최소 어드레스(RX BASE ADDRESS)로부터의 길이가 더 크다. 이와 같이 상기 송신 저장소의 할당량을 증가시키는 임계치 제어 신호(THS)가 발생하면, 도 3에서 이전 TX2에서 TX1로의 전이, 이전 TX1에서 N으로의 전이, 이전 N에서 RX1로의 전이, 및 이전 RX1에서 RX2로의 전이 각각이 발생할 것이다.

<41> 한편, 도 3에 도시된 바와 같이, 상기 흐름 제어부(220)는 상기 송신 수행 신호(TXEX) 및 상기 수신 수행 신호(RXEX)가 동시에 액티브 될 때에는, 상기 송신 저장소의 할당량 및 상기 수신 저장소의 할당량을 모두 홀드(HOLD)시키는 상기 임계치 제어 신호(THS)를 발생시킨다. 또한, 사용자가 필요에 따라 공유 메모리(210)를 비대칭적으로 사용할 수 있는데, 이때에는 소정 소프트웨어 또는 하드웨어를 통하여 사용자가 임계치를 설정한다. 이와 같은 사용자의 설정에 따라, 상기 흐름 제어부(220)는 소정 임계치로 상기 송신 저장소의 할당량 및 상기 수신 저장소의 할당량을 홀드시키는 상기 임계치 제어 신호(THS)를 발생시킬 수 있다.

<42> 위에서 기술한 바와 같이 본 발명에 따른 송수신 네트워크 제어기는, 송신 데이터량 및 수신 데이터량 각각에 따라 할당량이 유동적인 송신 저장소와 수신 저장소로 구성되는 공유 메모리(210)와 송신 수행 신호(TXEX)가 액티브될 때 상기 송신 저장소의 할당량을 증가시키고, 수신 수행 신호(RXEX)가 액티브될 때 상기 수신 저장소의 할당량을 증가시키는 임계치 제어 신호(THS)를 생성하여 출력하는 흐름 제어부(220)를 구비하여, 송수신 데이터 흐름에 따라 공유 메모리(210)의 송신 및 수신에 사용될 저장소의 할당량을 제어한다. 이와 같은 송수신 네트워크 제어기는 이더넷, USB, DMA, ATM-SAR 등과 같은 데이터 통신 장치들에 적용될 수 있다. 또한, 도 4에서 공유 메모리(210)가 중립 상태 N에 유지되도록 하면, 기존에 송신용과 수신용으로 독립적으로 사용된 버퍼 메모리 형태와 동일성을 유지할 수 있다.

<43> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<44> 상술한 바와 같이 본 발명에 따른 송수신 네트워크 제어기는, 송수신에 공통되고 송수신 흐름에 따라 할당량이 유동적으로 제어되는 공유 버퍼 메모리를 제어하여, 시스템과 다른 매체 간 데이터 통신을 중재한다. 따라서, 버퍼 메모리가 효율적으로 사용될 수 있고, 데이터 통신 상에서 발생하는 오버플로우나 언더플로우의 발생을 줄일 수 있으며, 이에 따라 최적화된 시스템이 구축될 수 있는 효과가 있다.

**【특허청구범위】****【청구항 1】**

시스템 버스;

송신 데이터량 및 수신 데이터량 각각에 따라 할당량이 유동적인 송신 저장소와 수신 저장소를 구비하고, 송신 어드레스 신호들에 의한 송신 데이터의 저장과 출력을 수행하며, 수신 어드레스 신호들에 의한 수신 데이터의 저장과 출력을 수행하는 공유 메모리;

송신 수행 신호가 액티브될 때 상기 송신 저장소의 할당량을 증가시키고, 수신 수행 신호가 액티브될 때 상기 수신 저장소의 할당량을 증가시키는 임계치 제어 신호를 생성하여 출력하는 흐름 제어부;

상기 임계치 제어 신호에 의하여 최대 번지수가 유동적으로 바뀌는 상기 송신 어드레스 신호들을 발생시키고, 상기 시스템 버스로부터 상기 송신 데이터를 수신하여 상기 송신 어드레스 신호들 중 송신 라이트 어드레스 신호들과 함께 출력하며, 상기 송신 어드레스 신호들 중 송신 리드 어드레스 신호들에 의하여 상기 공유 메모리에서 출력되는 송신 데이터를 다른 하위층으로 출력하고, 상기 송신 데이터의 수신 시마다 상기 송신 수행 신호를 액티브 상태로 출력하는 송신 제어부; 및

상기 임계치 제어 신호에 의하여 최대 번지수가 유동적으로 바뀌는 상기 수신 어드레스 신호들을 발생시키고, 상기 다른 하위층으로부터 상기 수신 데이터를 수신하여 상기 수신 어드레스 신호들 중 수신 라이트 어드레스 신호들과 함께 출력하며, 상기 수신 어드레스 신호들 중 수신 리드 어드레스 신호들에 의하여 상기 공유 메모리에서 출력되는 상기 데이터를 상기 시

스템 버스로 출력하고, 상기 수신 데이터의 수신 시마다 상기 수신 수행 신호를 액티브 상태로 출력하는 수신 제어부를 구비하는 것을 특징으로 하는 송수신 네트워크 제어기.

#### 【청구항 2】

제 1항에 있어서, 상기 흐름 제어부는,

상기 송신 수행 신호 및 상기 수신 수행 신호가 동시에 액티브 될 때에는, 상기 송신 저장소의 할당량 및 상기 수신 저장소의 할당량을 모두 홀드시키는 상기 임계치 제어 신호를 발생시키는 것을 특징으로 하는 송수신 네트워크 제어기.

#### 【청구항 3】

제 1항에 있어서, 상기 흐름 제어부는,

초기 상기 송신 저장소의 할당량 및 상기 수신 저장소의 할당량을 동일하게 하는 상기 임계치 제어 신호를 발생시키는 것을 특징으로 하는 송수신 네트워크 제어기.

#### 【청구항 4】

제 1항에 있어서, 상기 흐름 제어부는,

사용자의 설정에 의하여 소정 임계치로 상기 송신 저장소의 할당량 및 상기 수신 저장소의 할당량을 홀드시키는 상기 임계치 제어 신호를 발생시키는 것을 특징으로 하는 송수신 네트워크 제어기.

#### 【청구항 5】

제 1항에 있어서, 상기 송신 데이터 및 상기 수신 데이터는,

전이중 방식으로 전송되는 데이터들인 것을 특징으로 하는 송수신 네트워크 제어기.



1020030037462

출력 일자: 2003/11/12

### 【청구항 6】

제 1항에 있어서, 상기 송신 데이터 및 상기 수신 데이터는,

반이중 방식으로 전송되는 데이터들인 것을 특징으로 하는 송수신 네트워크 제어기.

### 【청구항 7】

송신 데이터량 및 수신 데이터량 각각에 따라 할당량이 유동적인 송신 저장소와 수신 저장소로 구성되는 공유 메모를 구비하여 송수신 네트워크를 제어하는 방법에 있어서,  
상기 공유 메모리에서 송신 어드레스 신호들에 의한 송신 데이터의 저장과 출력을 수행하며, 수신 어드레스 신호들에 의한 수신 데이터의 저장과 출력을 수행하는 메모리 입출력 단계;

송신 수행 신호가 액티브될 때 상기 송신 저장소의 할당량을 증가시키고, 수신 수행 신호가 액티브될 때 상기 수신 저장소의 할당량을 증가시키는 임계치 제어 신호를 생성하여 출력하는 흐름 제어 단계;

상기 임계치 제어 신호에 의하여 최대 번지수가 유동적으로 바뀌는 상기 송신 어드레스 신호들을 발생시키고, 상기 시스템 버스로부터 상기 송신 데이터를 수신하여 상기 송신 어드레스 신호들 중 송신 라이트 어드레스 신호들과 함께 출력하며, 상기 송신 어드레스 신호들 중 송신 리드 어드레스 신호들에 의하여 상기 공유 메모리에서 출력되는 송신 데이터를 다른 하위층으로 출력하고, 상기 송신 데이터의 수신 시마다 상기 송신 수행 신호를 액티브 상태로 출력하는 송신 제어 단계; 및

상기 임계치 제어 신호에 의하여 최대 번지수가 유동적으로 바뀌는 상기 수신 어드레스 신호들을 발생시키고, 상기 다른 하위층으로부터 상기 수신 데이터를 수신하여 상기 수신 어드



레스 신호들 중 수신 라이트 어드레스 신호들과 함께 출력하며, 상기 수신 어드레스 신호들 중 수신 리드 어드레스 신호들에 의하여 상기 공유 메모리에서 출력되는 수신 데이터를 상기 시스템 버스로 출력하고, 상기 수신 데이터의 수신 시마다 상기 수신 수행 신호를 액티브 상태로 출력하는 수신 제어 단계를 구비하는 것을 특징으로 하는 송수신 네트워크 제어 방법.

#### 【청구항 8】

제 1항에 있어서, 상기 흐름 제어 단계는,

상기 송신 수행 신호 및 상기 수신 수행 신호가 동시에 액티브 될 때에는, 상기 송신 저장소의 할당량 및 상기 수신 저장소의 할당량을 모두 홀드시키는 상기 임계치 제어 신호를 발생시키는 것을 특징으로 하는 송수신 네트워크 제어 방법.

#### 【청구항 9】

제 1항에 있어서, 상기 흐름 제어 단계는,

초기에 상기 송신 저장소의 할당량 및 상기 수신 저장소의 할당량을 동일하게 하는 상기 임계치 제어 신호를 발생시키는 것을 특징으로 하는 송수신 네트워크 제어 방법.

#### 【청구항 10】

제 1항에 있어서, 상기 흐름 제어 단계는,

사용자의 설정에 의하여 소정 임계치로 상기 송신 저장소의 할당량 및 상기 수신 저장소의 할당량을 홀드시키는 상기 임계치 제어 신호를 발생시키는 것을 특징으로 하는 송수신 네트워크 제어 방법.



1020030037462

출력 일자: 2003/11/12

【청구항 11】

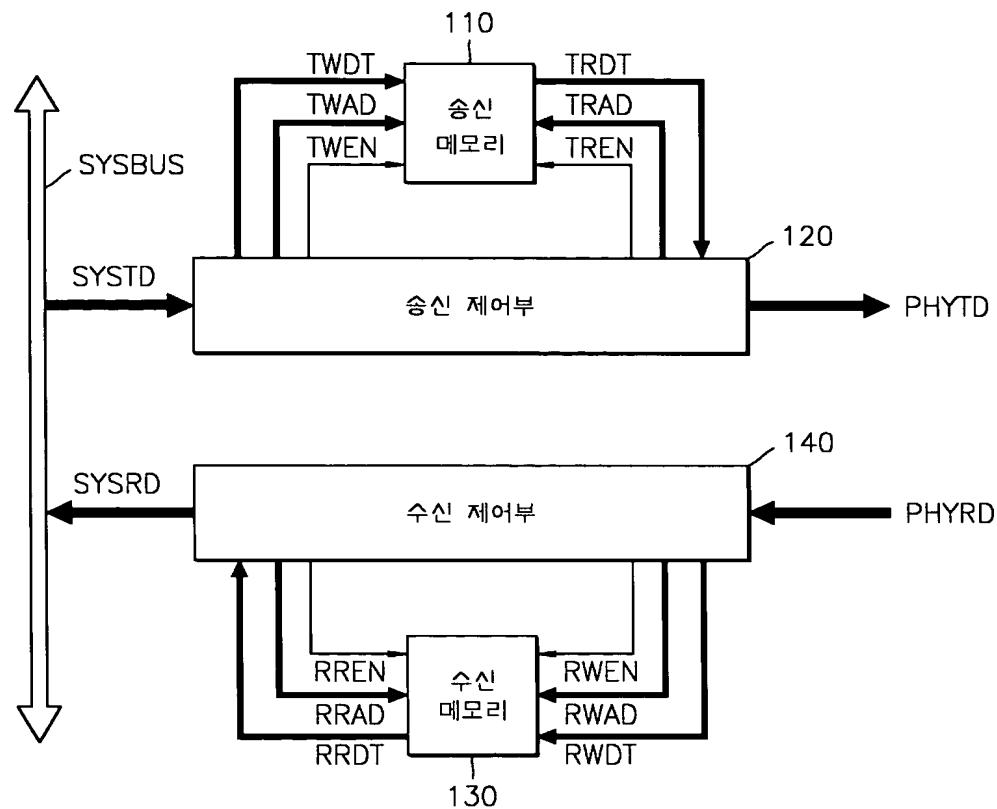
제 1항에 있어서, 상기 송신 데이터 및 상기 수신 데이터는,  
전이중 방식으로 전송되는 데이터들인 것을 특징으로 하는 송수신 네트워크 제어 방법.

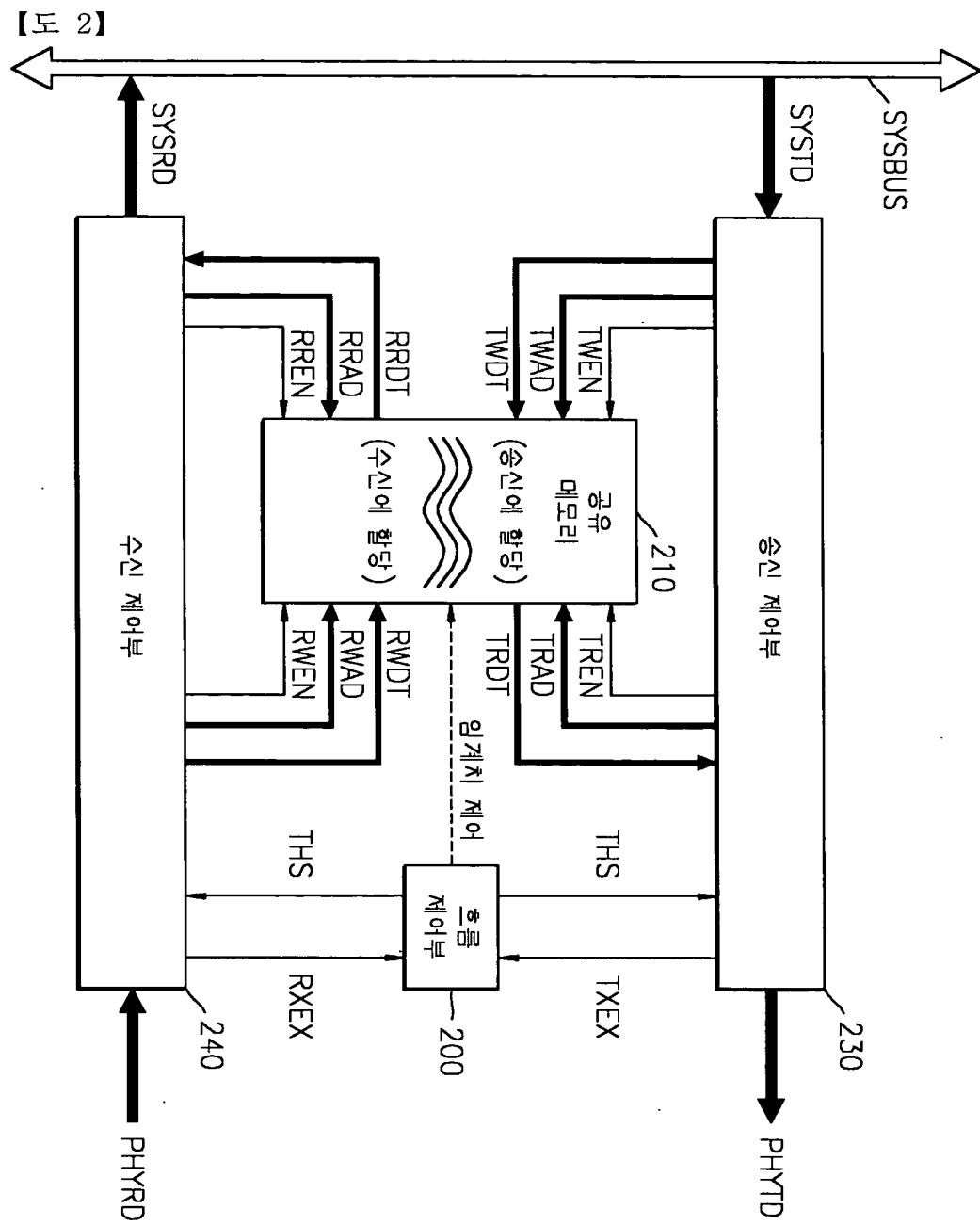
【청구항 12】

제 1항에 있어서, 상기 송신 데이터 및 상기 수신 데이터는,  
반이중 방식으로 전송되는 데이터들인 것을 특징으로 하는 송수신 네트워크 제어 방법.

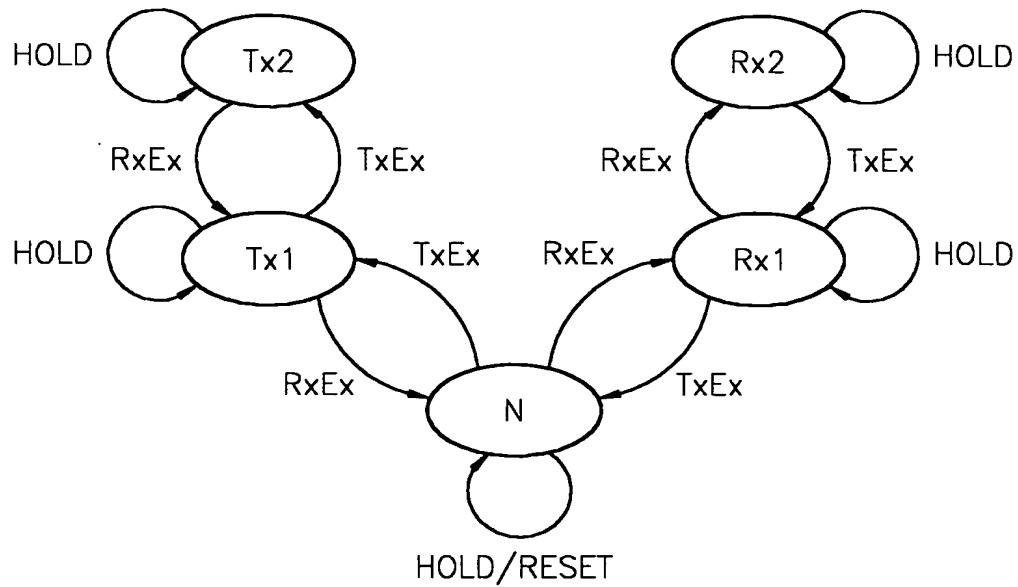
## 【도면】

【도 1】





【도 3】



【도 4】

